

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lim et al.

Serial No.: To Be Assigned

Filed: Concurrently herewith

For: **METHODS FOR FORMING A CAPACITOR ON AN INTEGRATED CIRCUIT
DEVICE AT REDUCED TEMPERATURES**

Date: July 29, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450


SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of Korean priority Application No. 2003-11794 filed February 25, 2003.

If any extension of time for the accompanying response or submission is required, Applicant requests that this be considered a petition therefor. No fee is believed due, however, the Commissioner is hereby authorized to charge any deficiency, or credit any refund, to our Deposit Account No. 50-0220.

Respectfully submitted,


Robert W. Glatz
Registration No. 36,811

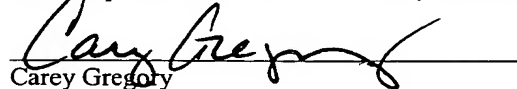
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318421143 US

Date of Deposit: July 29, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Carey Gregory

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0011794
Application Number

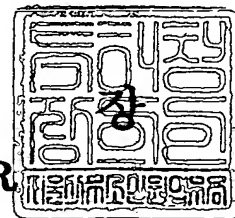
출원년월일 : 2003년 02월 25일
Date of Application FEB 25, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 18 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.25
【발명의 명칭】	반도체 장치의 커패시터 형성 방법
【발명의 영문명칭】	Method for forming a capacitor in a semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	임재순
【성명의 영문표기】	LIM, Jae Soon
【주민등록번호】	730310-2055115
【우편번호】	131-849
【주소】	서울특별시 중랑구 묵1동 122-47 천지빌라 B-01
【국적】	KR
【발명자】	
【성명의 국문표기】	김성태
【성명의 영문표기】	KIM, Sung Tae
【주민등록번호】	601227-1002238
【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 20-805
【국적】	KR
【발명자】	
【성명의 국문표기】	김영선
【성명의 영문표기】	KIM, Young Sun
【주민등록번호】	640717-1046422
【우편번호】	442-813



1020030011794

출력 일자: 2003/3/19

【주소】	경기도 수원시 팔달구 영통동 988-2 살구골 성지아파트 710동 1303호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	남갑진		
【성명의 영문표기】	NAM,Gab Jin		
【주민등록번호】	670821-1332917		
【우편번호】	442-737		
【주소】	경기도 수원시 팔달구 영통동 청명마을3단지 333-1901		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김기철		
【성명의 영문표기】	KIM,Ki Chul		
【주민등록번호】	730427-1041932		
【우편번호】	463-901		
【주소】	경기도 성남시 분당구 이매동 삼성아파트 1009-1403		
【국적】	KR		
【발명자】			
【성명의 국문표기】	이주원		
【성명의 영문표기】	LEE, Ju Won		
【주민등록번호】	681020-1110417		
【우편번호】	442-744		
【주소】	경기도 수원시 팔달구 영통동 황골마을벽산아파트 222동 401호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	17	면	17,000 원

1020030011794

출력 일자: 2003/3/19

【우선권주장료】	0	건	0	원
【심사청구료】	17	항	653,000	원
【합계】	699,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

반응 방지막을 갖는 반도체 장치의 커패시터의 형성 방법이 개시되어 있다. 상기 커패시터의 하부 전극으로서 제1도전막을 기판 상에 형성한다. 그리고, 상기 제1도전막의 상면이 발생하지 않는 온도 조건에서 상기 제1도전막 상에 산화를 방지하기 위한 반응 방지막을 형성한다. 계속해서, 상기 반응 방지막 상에 유전막을 형성하고, 상기 유전막 상에 제2도전막을 형성한다. 이때, 상기 커패시터를 형성하기 위한 공정들은 저온 분위기에서 실시된다. 이와 같이, 상기 커패시터를 저온 분위기에서 형성함으로써 열적 손상에 의한 불량을 현저하게 줄일 수 있다.

【대표도】

도 1d

【명세서】**【발명의 명칭】**

반도체 장치의 커패시터 형성 방법{Method for forming a capacitor in a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 반도체 장치의 커패시터 형성 방법을 나타내는 단면도들이다.

도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 실린더 타입의 커패시터 형성 방법을 나타내는 단면도들이다.

도 3은 본 발명의 일 실시예에 따라 형성한 커패시터의 콘택 저항을 설명하기 위한 그래프이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 커패시터의 형성 방법에 관한 것으로서, 보다 상세하게는 하부 전극의 산화를 방지하기 위한 반응 방지막을 갖는 반도체 장치의 커패시터의 형성 방법에 관한 것이다.

<5> 일반적으로, 반도체 장치들 중에서 디램(DRAM) 장치는 하나의 액세스 트랜지스터(access transistor)와 하나의 축적 커패시터(storage capacitor)로 이루어진다.

- <6> 상기 커패시터는 집적도의 증가가 요구되는 메모리 장치에 부응하기 위하여 그 크기가 더욱 감소되어야 한다. 따라서, 축소된 크기와 높은 축적 용량을 갖는 커패시터를 제조하는 것이 보다 중요한 문제로 부각되고 있다. 실제로, 기판 상에서 커패시터가 차지하는 수평 면적은 증가시키지 않은 상태에서 커패시터의 축적 용량을 향상시키는 것이 과제로 대두되고 있다.
- <7> 널리 알려진 바와 같이, 커패시터의 축적 용량 C 는 하기 수학적식과 같이 나타낼 수 있다.
- <8> 【수학적식 1】 $C = \epsilon_0 \epsilon \frac{A}{d}$
- <9> 상기 수학적식에서 ϵ_0 및 ϵ 는 각기 진공 중에서의 유전율 및 커패시터용 유전막의 유전율을 의미하며, A 는 커패시터의 유효 면적을 나타내고, d 는 유전체의 두께를 의미한다.
- <10> 상기 수학적식을 참조하면, 상기 커패시터의 축적 용량을 향상시키기 위한 방법으로서 큰 유전 상수를 갖는 유전막을 형성하는 방법, 커패시터의 유효 면적을 증가시키는 방법, 유전막의 두께를 감소시키는 방법 또는 고유전율을 갖는 유전막을 형성하는 방법 등을 고려할 수 있다.
- <11> 따라서, 최근에는 유전막로서 Ta_2O_5 , TiO_2 , Al_2O_3 , Y_2O_3 , ZrO_2 , HfO_2 , $BaTiO_3$, $SrTiO_3$ 등과 같은 큰 유전 상수를 갖는 금속 산화물이 채택되고 있다.
- <12> 상기 큰 유전 상수를 갖는 금속 산화물을 유전막으로 형성하는 커패시터에 대한 일 예는 미합중국 특허 5,316,982호(issued to Taniguchi)에 개시되어 있다.

- <13> 여기서, 상기 큰 유전 상수를 갖는 금속 산화물로서 유전막은 산소 분위기에서 공정이 이루어진다. 때문에, 상기 유전막을 형성할 때, 상기 산소 분위기로 인하여 상기 유전막과 하부 전극 사이의 계면에 산화막이 형성되기도 한다. 이와 같이, 상기 유전막과 하부 전극 사이의 계면에 산화막이 형성될 경우, 상기 커패시터의 축적 용량이 저하된다.
- <14> 따라서, 상기 유전막을 형성하기 전에 상기 하부 전극 상에 질화막을 형성함으로써 상기 유전막과 하부 전극 사이에 산화막이 형성되는 것을 저지하고, 상기 유전막과 하부 전극 사이에서의 발생 가능성이 있는 반응 또한 저지한다.
- <15> 여기서, 상기 질화막은 급속 열 질화법(rapid thermal nitridation : RTN)에 의해 주로 형성된다. 예를 들면, 상기 하부 전극으로서 폴리 실리콘막을 형성한 후, 상기 급속 열 질화법을 통하여 상기 폴리 실리콘막의 표면을 질화시킴으로써 상기 질화막을 얻는다. 이때, 상기 급속 열 질화법은 약 700℃ 이상의 온도에서 실시되는 것이 일반적이다.
- <16> 그러나, 상기 급속 열 질화법은 약 700℃ 이상의 온도에서 실시되기 때문에 상기 하부 전극 또는 금속 배선의 콘택 부위에 열적 손상을 끼친다. 이와 같이, 상기 하부 전극 또는 콘택 부위에 끼치는 열적 손상은 커패시터의 기능 저하 및 반도체 장치 자체의 기능을 저하시키는 원인으로 작용한다.
- <17> 따라서, 최근에는 상기 급속 열 질화법 대신에 저온에서 상기 하부 전극 상에 질화막을 형성하는 방법을 적용하고 있다.

- <18> 상기 하부 전극 상에 저온에서 질화막을 형성하는 방법에 대한 예들은 대한민국 공개 특허 2002-32285호 및 대한민국 공개 특허 1999-55201호에 개시되어 있다.
- <19> 상기 대한민국 공개 특허 2002-32285호 및 대한민국 공개 특허 1999-55201호에 의하면, 플라즈마 질화법을 통하여 상기 하부 전극 상에 상기 질화막을 형성한 후, 유전막으로서 Ta_2O_5 막을 형성하는 방법이 개시된다. 여기서, 상기 Ta_2O_5 막을 유전막으로서 형성할 경우, 상기 Ta_2O_5 막을 형성한 후, 열처리를 수행한다. 즉, 상기 Ta_2O_5 막을 결정화시키고, 불순물을 제거하기 위하여 상기 열처리를 수행하는 것이다. 그러나, 상기 열처리는 약 $700^{\circ}C$ 이상의 온도에서 실시된다. 때문에, 상기 열처리에 의해 상기 하부 전극은 열적 손상을 받고, 이로 인해 커패시터의 기능의 저하를 초래한다.
- <20> 이와 같이, 종래의 방법을 통하여 커패시터를 형성함에 있어 상기 산화막의 형성 또는 열적 손상 등으로 인한 많은 문제점을 갖는다.

【발명이 이루고자 하는 기술적 과제】

- <21> 따라서, 상기 문제점을 해결하기 위한 본 발명의 목적은, 큰 유전 상수를 갖는 금속 산화막을 유전막으로 적용함에도 불구하고 낮은 온도에서 공정의 수행이 가능한 커패시터의 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <22> 상기 목적을 달성하기 위한 본 발명의 제1방법은,
- <23> 기판 상에 제1도전막을 형성하는 단계;
- <24> 상기 제1도전막의 상변이가 발생하지 않는 온도 조건에서 상기 제1도전막 상에 산화를 방지하기 위한 반응 방지막을 형성하는 단계;

- <25> 상기 반응 방지막 상에 유전막을 형성하는 단계; 및
- <26> 상기 유전막 상에 제2도전막을 형성하는 단계를 포함한다.

- <27> 상기 목적을 달성하기 위한 본 발명의 제2방법은,
- <28> 하부 구조물을 갖는 기판 상에 콘택홀을 갖는 절연막 패턴을 형성하는 단계;
- <29> 상기 콘택홀의 측벽과 저면 및 상기 절연막 패턴의 표면 상에 제1도전막을 연속적으로 형성하는 단계;
- <30> 상기 절연막 패턴의 표면 상에 형성된 제1도전막을 제거하는 단계;
- <31> 상기 절연막 패턴을 제거하여 상기 콘택홀의 측벽 및 저면에 형성된 제1도전막을 남김으로서 상기 제1도전막을 실린더 타입의 하부 전극으로 형성하는 단계;
- <32> 상기 하부 전극의 상변이가 발생하지 않는 온도 조건에서 상기 하부 전극 상에 산화를 방지하기 위한 반응 방지막을 형성하는 단계;
- <33> 상기 반응 방지막 상에 유전막을 형성하는 단계; 및
- <34> 상기 유전막 상에 상부 전극으로서 제2도전막을 형성하는 단계를 포함한다.

- <35> 이와 같이, 본 발명에 의하면, 상기 하부 전극의 상변이가 발생하지 않는 온도 조건 즉, 저온에서 반응 방지막을 형성한다. 때문에, 상기 반응 방지막을 형성함으로써 하부 전극에 가해지는 열적 손상을 현저하게 줄일 수 있다.

- <36> 또한, 후술하겠지만, 상기 유전막으로서는 큰 유전 상수를 갖는 금속 산화물을 적용함으로써 최근의 높은 축적 용량을 요구하는 커패시터의 제조에 적극적으로 적용할 수 있다.
- <37> 이하, 본 발명의 커패시터의 형성 방법에 대하여 상세하게 설명한다.
- <38> 도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 반도체 장치의 커패시터 형성 방법을 나타낸다.
- <39> 도 1a를 참조하면, 기판(10) 상에 제1도전막(12)을 형성한다. 이때, 상기 제1도전막(12)은 반도체 장치의 커패시터 하부 전극으로 사용한다. 따라서, 상기 제1도전막(12)의 예로서는 비결정 실리콘막, 다결정 실리콘막 등을 들 수 있다. 이들은 단독으로 적층하는 것이 바람직하지만, 둘 이상이 순차적으로 적층되는 다층 구조 즉, 복합막으로 적층하여도 무방하다.
- <40> 도 1b를 참조하면, 상기 제1도전막(12) 상에 반응 방지막(14)을 형성한다. 상기 반응 방지막(14)은 후속되는 유전막을 형성할 때 상기 제1도전막(12)과 상기 유전막 사이의 계면에 산화막이 형성되는 것을 방지하고, 제1도전막(12)과 유전막의 반응을 위하여 형성한다. 그리고, 상기 반응 방지막(14)의 예로서는 질화막을 들 수 있다. 이때, 상기 반응 방지막(14)을 고온에서 형성할 경우, 상기 제1도전막(12)의 상변이가 발생하고, 저항에 문제가 발생하기 때문에 바람직하지 않다. 따라서, 상기 반응 방지막(14)은 상기 제1도전막(12)의 상변이가 발생하지 않는 온도 조건 및 콘택 저항 등에 영향을 끼치지 않는 온도 조건에서 형성하는 것이 바람직하다.

- <41> 여기서, 상기 제1도전막(12) 상에 상기 반응 방지막(14)으로서 질화막을 형성하는 경우는 다음과 같다.
- <42> 만약, 상기 제1도전막(12)이 비정질 실리콘막인 경우, 상기 질화막을 형성하기 위한 온도가 약 700℃에 이르면 비정질의 실리콘이 결정질의 실리콘으로 변형된다. 이와 같이, 상기 온도 조건이 600℃를 초과할 경우에는 상기 제1도전막(12)의 상변이가 발생하기 때문에 상기 질화막은 600℃ 이하의 온도 조건에서 형성하는 것이 바람직하다.
- <43> 따라서, 상기 질화막은 600℃ 이하의 온도 조건을 갖는 플라즈마 질화법, 600℃ 이하의 온도 조건을 갖는 화학 기상 증착 또는 600℃ 이하의 온도 조건을 갖는 원자층 적층에 의해 형성한다.
- <44> 상기 600℃ 이하의 온도 조건을 갖는 플라즈마 질화법에 의한 상기 질화막의 형성은 다음과 같다.
- <45> 먼저, 공정 챔버 내부를 약 600℃의 온도 조건으로 설정한다. 그리고, 상기 공정 챔버 내부로 NH₃ 가스 또는 N₂ 가스를 제공한다. 이어서, 상기 NH₃ 가스 또는 N₂ 가스에 플라즈마를 여기시킨다. 이에 따라, 상기 제1도전막(12)의 표면에 질화가 이루어짐으로써 상기 제1도전막(12) 상에 질화막이 형성된다. 이때, 상기 600℃ 이하의 온도 조건에서도 상기 질화막의 형성이 가능한 것은 열 에너지 뿐만 아니라 운동 에너지가 부가되기 때문이다. 구체적으로, 종래의 급속 열 질화법에서는 열 에너지를 단독으로 이용하기 때문에 700℃ 이상이 온도 조건을 요구한다. 반면에, 본 발명의 플라즈마 질화법에서는 약 600℃의 온도 조건을 요구한다. 때문에, 본 발명의 플라즈마 질화법을 실시할 경우에는 상기 온도의 차이에 따른 열 에너지의 보상이 있어야 한다. 따라서, 상기 열 에너지

이외에도 플라즈마에 의한 운동 에너지가 부가된다. 즉, 상기 온도의 차이에 따른 열 에너지의 보상을 상기 플라즈마에 의한 운동 에너지가 감당하는 것이다.

<46> 상기 600℃ 이하의 온도 조건을 갖는 화학 기상 증착에 의한 상기 질화막의 형성은 다음과 같다.

<47> 먼저, 공정 챔버 내부를 약 550℃의 온도 조건을 갖도록 설정한다. 그리고, 상기 공정 챔버 내부에 가스 소스로서 실리콘을 포함하는 가스와 질소를 포함하는 가스를 제공한다. 이어서, 상기 실리콘을 포함하는 가스와 질소를 포함하는 가스를 플라즈마로 여기시킨다. 이에 따라, 상기 실리콘을 포함하는 가스와 질소를 포함하는 가스가 반응한 상태에서 상기 제1도전막(12) 상에서 적층된다. 이와 같이, 상기 적층이 계속됨에 따라 설정된 두께를 갖는 질화막이 형성된다. 즉, 상기 화학 기상 증착에 의한 상기 반응 방지막(14)인 질화막의 형성은 상기 제1도전막(12)의 표면에서의 질화가 아니라 상기 제1도전막(12) 상에 적층되는 방법에 의해 달성되는 것이다.

<48> 이와 같이, 상기 화학 기상 증착과 같은 적층 방법을 통하여 상기 질화막을 형성하기 때문에 600℃ 이하의 온도 조건이 가능한 것이다.

<49> 상기 600℃ 이하의 온도 조건을 갖는 원자층 적층에 의한 상기 질화막의 형성은 다음과 같다.

<50> 먼저, 공정 챔버 내부를 약 550℃의 온도 조건을 갖도록 설정한다. 그리고, 상기 공정 챔버 내부로 제1반응 물질을 도입시킨다. 상기 제1반응 물질의 예로서는 실리콘을 갖는 가스 가스를 들 수 있다. 이와 같이, 상기 제1반응 물질을 도입시킴으로서 상기 제1도전막(12) 상에 상기 제1반응 물질의 일부가 화학 흡착한다.

- <51> 이어서, 상기 공정 챔버 내부에 불활성 가스를 도입한다. 상기 불활성 가스를 도입함으로써 상기 제1도전막(12) 상에 물질 흡착된 제1반응 물질을 제거한다. 상기 불활성 가스의 예로서는 아르곤 등을 들 수 있다. 이때, 상기 제1반응 물질의 제거는 상기 불활성 가스를 사용한 퍼지에 의해 달성되거나, 진공 펌핑에 의해 달성된다. 상기 퍼지 또는 진공 펌핑은 단독으로 실시될 수 있으나, 상기 퍼지 및 진공 펌핑이 순차적으로 실시되는 것이 바람직하다. 이와 같이, 상기 퍼지 및/또는 진공 펌핑에 의해 상기 물리 흡착된 제1반응 물질이 상기 제1도전막(12)으로부터 제거된다.
- <52> 다음에, 상기 공정 챔버 내부로 제2반응 물질을 도입시킨다. 상기 제2반응 물질의 예로서는 질소를 갖는 소스 가스를 들 수 있다. 여기서, 상기 제1반응 물질이 상기 실리콘을 갖는 소스 가스일 경우 상기 제2반응 물질이 질소를 갖는 소스 가스이지만, 상기 제1반응 물질이 상기 질소를 갖는 소스 가스일 경우 상기 제2반응 물질은 실리콘을 갖는 소스 가스이다. 이와 같이, 상기 제2반응 물질을 도입시킴으로서 상기 제1도전막(12) 상에 상기 제2반응 물질의 일부가 화학 흡착한다.
- <53> 그리고, 상기 공정 챔버 내부에 불활성 가스를 도입한다. 상기 불활성 가스를 도입함으로써 상기 제1도전막(12) 상에 물질 흡착된 제2반응 물질을 제거한다. 상기 불활성 가스의 예로서는 아르곤 등을 들 수 있다. 이때, 상기 제2반응 물질의 제거는, 상기 제1반응 물질의 제거와 마찬가지로, 상기 불활성 가스를 사용한 퍼지에 의해 달성되거나, 진공 펌핑에 의해 달성된다. 상기 퍼지 또는 진공 펌핑은 단독으로 실시될 수 있으나, 상기 퍼지 및 진공 펌핑이 순차적으로 실시되는 것이 바람직하다. 이와 같이, 상기 퍼지 및/또는 진공 펌핑에 의해 상기 물리 흡착된 제2반응 물질이 상기 제1도전막(12)으로부터 제거된다.

- <54> 따라서, 상기 제1도전막(12) 상에는 상기 제1반응 물질 및 제2반응 물질이 화학 흡착된다. 즉, 상기 제1도전막(12) 상에 제1반응 물질 및 제2반응 물질을 포함하는 고체 물질이 형성되는 것이다. 그리고, 상기 고체 물질의 형성을 위한 제1반응 물질의 도입, 퍼지(진공 펌핑을 더 포함하기도 한다), 제2반응 물질의 도입 및 퍼지(진공 펌핑을 더 포함하기도 한다)를 반복적으로 실시함으로써 상기 제1도전막(12) 상에 상기 반응 방지막(14)인 질화막을 형성할 수 있다. 또한, 상기 반복 회수를 조절함으로써 원하는 두께를 갖는 질화막의 형성이 가능하다.
- <55> 특히, 상기 원자층 적층에 의해 상기 반응 방지막(14)으로서 질화막을 형성할 경우 수 내지 수십 Å의 두께의 획득이 가능하다. 때문에, 상기 원자층 적층을 통하여 상기 반응 방지막(14)을 형성하는 것이 보다 바람직하다.
- <56> 또한, 상기 플라즈마 질화법, 원자층 적층에 의한 질화막의 형성 이외에도 마이크로 웨이브 타입의 적층 방법 등에 의해 상기 질화막을 형성할 수도 있다. 이와 같이, 상기 마이크로 웨이브 타입의 적층 방법도 상기 마이크로 웨이브에 의한 운동 에너지가 부가되기 때문에 600℃ 이하의 온도 조건에서 상기 질화막의 형성이 가능하다.
- <57> 도 1c를 참조하면, 상기 반응 방지막(14) 상에 유전막(16)을 형성한다. 상기 유전막(16)은 금속 산화막을 적용하여도 무방하다. 즉, 상기 유전막(16)을 형성할 때 산소 분위기를 형성하여도 상기 제1도전막(12) 즉, 하부 전극이 상기 산소 분위기에 반응하지 않기 때문이다. 이는, 상기 반응 방지막(14)이 상기 하부 전극이 산소 분위기에 반응하는 것을 차단하기 때문이다. 상기 유전막(16)으로 형성하기 위한 금속 산화막의 예로서는 TiO_2 막, Al_2O_3 막, Y_2O_3 막, ZrO_2 막, HfO_2 막, $BaTiO_3$ 막, $SrTiO_3$ 막 등을 들 수 있다. 이들은 단독으로 적층하는 것이 바람직하지만, 둘 이상이 순차적으로 적층되는 다층 구조

즉, 복합막으로 적층하여도 무방하다. 이때, 상기 유전막으로서 형성되는 금속 산화막 중에서 Ta_2O_5 막을 제외된다. 이는, 상기 Ta_2O_5 막을 형성한 후, 약 600°C 이상의 온도에서 결정화 및 열처리를 수행하기 때문이다.

<58> 따라서, 본 발명에서는 상기 유전막(16)으로서 형성되는 금속 산화막을 형성한 후, 상기 유전막(16)을 후처리하기 위한 공정을 진행하지 않는다.

<59> 그리고, 상기 유전막(16) 즉, 금속 산화막은 600°C 이하의 온도 조건을 갖는 화학 기상 증착 또는 600°C 이하의 온도 조건을 갖는 원자층 적층에 의해 형성되는 것이 바람직하다.

<60> 상기 600°C 이하의 온도 조건을 갖는 화학 기상 증착에 의한 상기 유전막(16)의 형성은 다음과 같다.

<61> 먼저, 공정 챔버 내부를 약 600°C 의 온도 조건을 갖도록 설정한다. 그리고, 상기 공정 챔버 내부에 가스 소스를 제공한다. 상기 가스 소스는 형성하기 원하는 박막에 따라 그 종류를 달리한다. 예를 들면, Al_2O_3 막인 경우, Al을 포함하는 가스와 O를 포함하는 가스를 상기 공정 챔버 내부에 제공한다.

<62> 이어서, 상기 가스 소스를 플라즈마로 여기시킨다. 이에 따라, 상기 가스 소스가 반응한 상태에서 상기 반응 방지막(14) 상에 적층된다. 이와 같이, 상기 적층이 계속됨에 따라 상기 반응 방지막(14) 상에 설정된 두께를 갖는 유전막(16)을 얻을 수 있다.

<63> 상기 600°C 이하의 온도 조건을 갖는 원자층 적층에 의한 상기 유전막(16)의 형성은 다음과 같다.

- <64> 먼저, 공정 챔버 내부를 약 600℃의 온도 조건, 바람직하게는 약 450℃의 온도 조건을 갖도록 설정한다. 그리고, 상기 공정 챔버 내부로 제3반응 물질을 도입시킨다. 상기 제3반응 물질은 적층하기를 원하는 박막에 따라 그 종류를 달리한다. 즉, 상기 금속 산화막을 적층할 경우, 상기 제3반응 물질은 금속 전구체를 갖는 것이 바람직하다. 이와 같이, 상기 제3반응 물질을 도입시킴으로서 상기 반응 방지막(14) 상에 제3반응 물질의 일부가 화학 흡착한다.
- <65> 이어서, 상기 공정 챔버 내부에 불활성 가스를 도입한다. 상기 불활성 가스를 도입함으로써 상기 반응 방지막(14) 상에 물질 흡착된 제3반응 물질을 제거한다. 상기 불활성 가스의 예로서는 아르곤 등을 들 수 있다. 이때, 상기 제3반응 물질의 제거는 상기 불활성 가스를 사용한 퍼지에 의해 달성되거나, 진공 펌핑에 의해 달성된다. 상기 퍼지 또는 진공 펌핑은 단독으로 실시될 수 있으나, 상기 퍼지 및 진공 펌핑이 순차적으로 실시되는 것이 바람직하다. 이와 같이, 상기 퍼지 및/또는 진공 펌핑에 의해 상기 물리 흡착된 제3반응 물질이 상기 반응 방지막(14)으로부터 제거된다.
- <66> 다음에, 상기 공정 챔버 내부로 제4반응 물질을 도입시킨다. 상기 제4반응 물질은 산화제이다. 이와 같이, 상기 제4반응 물질을 도입시킴으로서 상기 반응 방지막(14) 상에 제2반응 물질의 일부가 화학 흡착한다.
- <67> 그리고, 상기 공정 챔버 내부에 불활성 가스를 도입한다. 상기 불활성 가스를 도입함으로써 상기 반응 방지막(14) 상에 물질 흡착된 제4반응 물질을 제거한다. 상기 불활성 가스의 예로서는 아르곤 등을 들 수 있다. 이때, 상기 제4반응 물질의 제거는, 상기 제3반응 물질의 제거와 마찬가지로, 상기 불활성 가스를 사용한 퍼지에 의해 달성되거나, 진공 펌핑에 의해 달성된다. 상기 퍼지 또는 진공 펌핑은 단독으로 실시될 수 있으나,

상기 퍼지 및 진공 펌핑이 순차적으로 실시되는 것이 바람직하다. 이와 같이, 상기 퍼지 및/또는 진공 펌핑에 의해 상기 물리 흡착된 제4반응 물질이 상기 반응 방지막(14)으로부터 제거된다.

<68> 따라서, 상기 반응 방지막(14) 상에는 상기 제3반응 물질 및 제4반응 물질이 화학 흡착된다. 즉, 상기 반응 방지막(14) 상에 제1반응 물질 및 제2반응 물질을 포함하는 고체 물질이 형성되는 것이다. 그리고, 상기 고체 물질의 형성을 위한 제3반응 물질의 도입, 퍼지(진공 펌핑을 더 포함하기도 한다), 제4반응 물질의 도입 및 퍼지(진공 펌핑을 더 포함하기도 한다)를 반복적으로 실시함으로써 상기 반응 방지막(14) 상에 상기 유전막(16)을 형성할 수 있다. 또한, 상기 반복 회수를 조절함으로써 원하는 두께를 갖는 유전막(16)의 형성이 가능하다.

<69> 도 1d를 참조하면, 상기 유전막(16) 상에 커패시터의 상부 전극으로 사용하기 위한 제2도전막(18)을 형성한다. 상기 제2도전막(18)의 예로서는 비정질 실리콘막, 다결정 실리콘막, Ru막, Pt막, Ir막, TiN막, TaN막, WN막 등을 들 수 있다. 이들은 단독으로 적층하는 것이 바람직하지만, 둘 이상이 순차적으로 적층되는 다층 구조 즉, 복합막으로 적층하여도 무방하다.

<70> 이와 같이, 상기 공정들을 수행함으로써 상기 기판 상에는 하부 전극, 유전막 및 상부 전극을 갖는 커패시터가 형성된다.

<71> 여기서, 상기 하부 전극과 유전막 사이에는 반응 방지막이 형성되고, 상기 유전막 으로서는 큰 유전 상수를 갖는 금속 산화막이 형성이 가능하다. 특히, 상기 커패시터를 형성하기 위한 공정들은 600℃ 이하의 온도에서 수행된다. 때문에, 상기 커패시터를 형성하는 도중에 공정 온도로 인한 열적 손상을 현저하게 줄일 수 있다. 따라서, 상기 열

적 손상으로 인하여 발생하는 커패시터의 기능 저하를 줄일 수 있다. 즉, 상기 커패시터의 신뢰도를 향상시킬 수 있는 것이다.

<72> 그리고, 상기 커패시터는 단순한 플레이트 타입으로 한정하였으나, 본 발명은 실린더 타입, 편 타입 등과 같은 커패시터의 타입에 상관없이 적용할 수 있다.

<73> 이하, 본 발명의 일 실시예에 따른 실린더 타입의 커패시터의 형성 방법에 대하여 상세하게 설명한다.

<74> 도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 실린더 타입의 커패시터 형성 방법을 나타낸다.

<75> 도 2a를 참조하면, 통상의 소자 분리 공정을 수행하여 기판(200)에 트렌치 구조물(202)을 형성한다. 따라서, 기판(200)은 활성 영역과 비활성 영역으로 분리된다. 그리고, 기판(200)에 불순물을 부분적으로 주입하여 p-웰 및 n-웰을 형성한다. 이어서, 기판(200)의 활성 영역 상에 폴리 실리콘(204a), 텅스텐 실리사이드(204b) 및 실리콘 질화물(204c)로 이루어지고, 상기 디램 장치의 워드 라인으로 제공되는 게이트 패턴(204)들을 형성한다. 상기 게이트 패턴(204)은 고농도의 불순물이 도핑된 폴리 실리콘(204a)과 텅스텐 실리사이드(204b)가 적층되는 폴리 사이드 구조로 형성된다. 그리고, 게이트 패턴(204)의 측벽들에 실리콘 질화물로 이루어지는 스페이서(206)를 더 형성할 수도 있다.

<76> 계속해서, 게이트 패턴(204)들을 마스크로 이용하여 불순물의 주입을 수행하여 게이트 패턴(204)들과 연결되는 기판(200) 표면 부위에 소스(205a)/드레인(205b)을 형성한다. 이에 따라, 게이트 패턴(204), 소스(205a)/드레인(205b)으로 이루어지는 트랜지스터

구조물이 형성된다. 여기서, 트랜지스터 구조물의 소스(205a)/드레인(205b) 중의 하나는 커패시터의 하부 전극과 연결하기 위한 커패시터 콘택 영역이고, 다른 하나는 비트 라인 구조물과 연결되는 비트 라인 콘택 영역이다. 본 실시예에서는 상기 트랜지스터 구조물의 소스(205a)가 커패시터 콘택 영역에 해당하고, 상기 트랜지스터 구조물의 드레인(205b)이 비트 라인 콘택 영역에 해당한다.

<77> 그리고, 상기 트랜지스터 구조물의 게이트 패턴(204)들 사이에 폴리 실리콘을 필링시켜 상기 커패시터의 하부 전극과 전기적으로 접촉시키기 위한 커패시터 콘택 패드(210a) 및 상기 비트 라인 구조물과 전기적으로 접촉시키기 위한 비트 라인 콘택 패드(210b)를 형성한다. 여기서, 상기 커패시터 콘택 영역에 필링되는 폴리 실리콘(210)은 커패시터 콘택 패드(210a)에 해당하고, 상기 비트 라인 콘택 영역에 필링되는 폴리 실리콘(210)은 비트 라인 콘택 패드(210b)에 해당한다.

<78> 도 2b를 참조하면, 비트 라인 콘택 패드(210b)와 전기적으로 접촉하는 비트 라인 구조물(220)을 형성한다. 구체적으로, 상기 트랜지스터 구조물의 게이트 패턴(204) 및 상기 게이트 패턴(204) 사이에 필링된 폴리 실리콘(210) 상에 제1층간 절연막(222)을 연속적으로 적층한다. 그리고, 통상의 사진 식각 공정을 통하여 제1층간 절연막(222)을 부분적으로 식각하여 비트 라인 콘택 패드(210b)의 표면을 노출시키는 비트 라인 콘택홀(223)을 형성한다. 이어서, 상기 비트 라인 콘택홀(223) 및 제1층간 절연막(222) 상에 텅스텐(220a)을 연속적으로 적층한다. 그 결과, 텅스텐(220a)은 상기 비트 라인 콘택홀(223) 내에 완전하게 필링된다. 계속해서, 텅스텐(220a) 상에 실리콘 질화물(220b)을 적층한다. 그리고, 통상의 사진 식각 공정을 통하여 실리콘 질화물(220b)과 텅스텐(220a)

을 부분적으로 식각함으로서 텅스텐(220a)과 실리콘 질화물(220b)로 이루어지는 비트 라인 구조물(220)을 형성한다.

<79> 이어서, 비트 라인 구조물(220) 및 제1층간 절연막(222) 상에 실리콘 질화물을 적층한다. 그리고, 상기 실리콘 질화물을 스페이서 식각시킴으로서 비트 라인 구조물(220)의 측벽들에 상기 실리콘 질화물로 이루어지는 스페이서 구조물(224)을 형성한다. 이에 따라, 상기 비트 라인 구조물(220)의 텅스텐(220a)은 마스크층의 실리콘 질화물(220b)에 의해 덮여지고, 스페이서 구조물(224)의 실리콘 질화물에 의해 둘러싸여 진다.

<80> 계속해서, 비트 라인 구조물(220), 스페이서 구조물(224) 및 제1층간 절연막(222) 상에 제2층간 절연막(230)을 연속적으로 적층한다. 제2층간 절연막(230)은 실리콘 산화물로 이루어지고, 고밀도 플라즈마 증착에 의해 적층된다.

<81> 도 2c를 참조하면, 제2층간 절연막(230) 및 제1층간 절연막(222)을 연속적으로 식각하여 커패시터의 콘택 패드(210a)의 표면이 노출되는 셀프-얼라인 콘택홀(232)을 형성한다. 상기 식각은 비트라인 구조물(220)과 스페이스 구조물(224)의 실리콘 질화물 및 제2층간 절연막(230)과 제1층간 절연막(222)의 실리콘 산화물의 식각 속도 차이에 의해 달성된다.

<82> 도 2d를 참조하면, 커패시터의 하부 전극용 플러그(234)를 셀프-얼라인 콘택홀(232) 내에 필링시킨다. 상기 하부 전극용 플러그(234)의 예로서는 비정질 실리콘막, 다결정 실리콘막 등을 들 수 있다. 이들은 단독으로 형성하는 것이 바람직하지만, 둘 이상을 순차적으로 적층하는 복합막으로 형성하여도 무방하다.

- <83> 도 2e를 참조하면, 하부 전극용 플러그(234)와 연결되는 실린더 타입의 하부 전극용 노드(234a)를 형성한다. 이에 따라, 상기 플러그(234)와 노드(234a)로 이루어지는 하부 전극이 형성된다. 이때, 상기 노드(234a)는 상기 플러그와 동일한 재질로 형성되는 것이 바람직하다.
- <84> 구체적으로, 상기 플러그(234) 및 노드(234a)를 갖는 하부 전극을 형성하는 방법은 다음과 같다.
- <85> 먼저, 셀프-얼라인 콘택홀(232) 내에 플러그(234)를 필링시킨다. 그리고, 제2층간 절연막(230) 및 플러그(234) 상에 연속적으로 산화막(도시되지 않음)을 형성한다. 그리고, 상기 산화막을 실린더 타입으로 패터닝한다. 이어서, 실린더 타입으로 패터닝된 산화막 상에 노드(234a)를 형성하기 위한 전극 물질을 적층한다. 그리고, 상기 산화막을 식각함으로써 실린더 타입을 갖는 하부 전극이 형성된다.
- <86> 도 2f를 참조하면, 실린더 타입 하부 전극의 표면 상에 상에 반응 방지막(236)을 형성한다. 상기 반응 방지막(236)은 후속되는 유전막(237)을 형성할 때 상기 하부 전극과 상기 유전막(237) 사이의 계면에 산화막이 형성되는 것을 방지하고, 금속 배선의 콘택 저항에 문제가 발생하는 것을 방지하기 위하여 형성한다. 여기서, 상기 반응 방지막(236)의 예로서는 질화막을 들 수 있다. 이때, 상기 반응 방지막(236)을 고온에서 형성할 경우, 상기 하부 전극의 상변이가 발생하고, 콘택 저항에 영향을 끼치지 때문에 바람직하지 않다. 따라서, 상기 반응 방지막(236)은 상기 하부 전극의 상변이가 발생하지 않고, 콘택 저항에 영향을 끼치지 않는 온도 조건 즉, 600℃ 이하의 온도에서 형성하는 것이 바람직하다.

- <87> 이와 같이, 상기 반응 방지막(236)을 형성한 후, 상기 반응 방지막(236) 상에 유전막(237)을 형성한다. 유전막(237)은 전술한 본 발명의 금속 산화물을 적층한다. 유전막(237)의 예로서는 TiO_2 막, Al_2O_3 막, Y_2O_3 막, ZrO_2 막, HfO_2 막, BaTiO_3 막, SrTiO_3 막을 들 수 있다. 이들은 단독으로 적층하거나 둘 이상을 순차적으로 적층할 수 있다.
- <88> 여기서, 상기 유전막(237)으로서 형성되는 금속 산화막을 형성한 후, 상기 유전막(237)을 후처리하기 위한 공정을 진행하지 않는다. 특히, 상기 유전막(237) 즉, 금속 산화막은 600°C 이하의 온도 조건을 갖는 화학 기상 증착 또는 600°C 이하의 온도 조건을 갖는 원자층 적층에 의해 형성되는 것이 바람직하다.
- <89> 도 2g를 참조하면, 유전막(237) 상에 커패시터의 상부 전극(238)으로서의 도전물을 적층한다. 이에 따라, 유전막(237) 상에 상부 전극(238)이 형성된다. 상기 상부 전극(238)의 예로서는 상기 비정질 실리콘막, 다결정 실리콘막, Ru막, Pt막, Ir막, TiN막, TaN막, WN막 등을 들 수 있다.
- <90> 이에 따라, 하부 전극, 유전막 및 상부 전극을 포함하는 반도체 커패시터가 형성된다.
- <91> 여기서, 상기 실린더 타입의 커패시터를 형성하기 위한 공정은 600°C 이하의 온도 조건하에서 실시된다. 때문에, 상기 커패시터를 형성하는 공정 도중에 끼칠 수 있는 열적 손상 등을 현저하게 줄일 수 있다. 또한, 상기 유전막으로서는 큰 유전 상수를 갖는 금속 산화막을 적용함으로써 커패시터의 축적 용량을 충분하게 증가시킬 수 있다. 이는, 상기 반응 방지막을 적용함으로써 상기 유전막을 용이하게 형성할 수 있기 때문이다.

<92> 이하, 본 발명의 방법에 따라 형성된 커패시터의 특성에 대하여 살펴보기로 한다.

<93> 시료 1의 준비

<94> 기판 상에 하부 전극으로서 다결정 실리콘막을 형성하였다. 그리고, 상기 다결정 실리콘막 상에 반응 방지막으로서 질화막을 형성하였다. 상기 질화막은 약 550℃의 온도 조건을 갖는 원자층 적층에 의해 형성하였다. 이어서, 상기 질화막 상에 유전막으로서 Al_2O_3 막을 형성하였다. 상기 Al_2O_3 막은 약 450℃의 온도 조건을 갖는 원자층 적층에 의해 형성하였다. 다음에, 상기 Al_2O_3 막 상에 상부 전극으로서 TiN막 및 다결정 실리콘막의 복합막을 형성하였다. 이와 같이, 상기 공정들을 수행함으로써 시료 1을 마련하였다.

<95> 시료 2의 준비

<96> 시료 2는 반응 방지막으로서 질화막을 약 750℃의 온도 조건을 갖는 급속 열 질화를 통하여 형성하는 것과 유전막을 형성한 후, 열처리를 수행하는 것을 제외하고는 상기 시료 1과 동일한 공정을 통하여 마련하였다.

<97> 콘택 저항의 특성 파악

<98> 상기 시료 1과 시료 2의 콘택 저항을 확인하였다. 그 결과, 도 3에 도시된 바와 같이, 시료 1의 콘택 저항이 시료 2의 콘택 저항보다 현저하게 낮은 것을 알 수 있었다.

<99> 따라서, 상기 커패시터를 저온 분위기에서 형성할 경우 열적 손상이 줄어든다는 것을 알 수 있다.

<100> 트윈 비트 불량

<101> 상기 트윈 비트 불량은 커패시터들이 기울어짐으로서 서로 접촉하는 것을 나타낸다.

<102> 상기 시료 1과 시료 2의 트윈 비트 불량을 확인한 결과, 상기 시료 1의 트윈 비트 불량은 칩당 4개 정도가 확인되었고, 상기 시료 2의 트윈 비트 불량은 칩당 20개 정도가 확인되었다.

<103> 따라서, 상기 반응 방지막을 저온 분위기에서 형성할 경우, 열적 손상이 줄어든다는 것을 확인할 수 있었다.

【발명의 효과】

<104> 이와 같이, 본 발명에 의하면, 커패시터를 600℃ 이하의 저온 분위기에서 형성한다. 때문에, 상기 커패시터 및 콘택 저항에 끼치는 열적 손상을 현저하게 줄일 수 있다.

<105> 또한, 유전막으로서 큰 유전 상수를 갖는 금속 산화막을 용이하게 적용할 수 있다.

<106> 이에 따라, 본 발명은 반도체 장치의 제조에 따른 신뢰도가 향상되는 효과를 기대할 수 있다.

<107> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판 상에 제1도전막을 형성하는 단계;

상기 제1도전막의 상변이가 발생하지 않는 온도 조건에서 상기 제1도전막 상에 산화를 방지하기 위한 반응 방지막을 형성하는 단계;

상기 반응 방지막 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 제2도전막을 형성하는 단계를 포함하는 반도체 장치 커패시터의 형성 방법.

【청구항 2】

제1항에 있어서, 상기 제1도전막은 비정질 실리콘막, 다결정 실리콘막 또는 이들의 복합막인 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 3】

제1항에 있어서, 상기 반응 방지막은 실리콘 질화막인 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 4】

제3항에 있어서, 상기 실리콘 질화막은 600℃ 이하의 온도 조건을 갖는 플라즈마 질화법에 의해 형성되는 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 5】

제3항에 있어서, 상기 실리콘 질화막은 600℃ 이하의 온도 조건을 갖는 화학 기상 증착 또는 600℃ 이하의 온도 조건을 갖는 원자층 적층에 의해 형성되는 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 6】

제3항에 있어서, 상기 실리콘 질화막은 600℃ 이하의 온도 조건을 갖는 마이크로 웨이브 타입이 적층 방법에 의해 형성되는 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 7】

제1항에 있어서, 상기 유전막은 금속 산화막인 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 8】

제7항에 있어서, 상기 금속 산화막은 TiO_2 막, Al_2O_3 막, Y_2O_3 막, ZrO_2 막, HfO_2 막, BaTiO_3 막, SrTiO_3 막 및 이들의 복합막으로 구성되는 그룹으로부터 선택되는 어느 하나인 것을 특징으로 하는 커패시터 형성 방법.

【청구항 9】

제7항에 있어서, 상기 금속 산화막은 600℃ 이하의 온도 조건을 갖는 화학 기상 증착 또는 600℃ 이하의 온도 조건을 갖는 원자층 적층에 의해 형성되는 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 10】

제1항에 있어서, 상기 제2도전막은 비정질 실리콘막, 다결정 실리콘막, Ru막, Pt막, Ir막, TiN막, TaN막, WN막 또는 이들의 복합막인 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 11】

하부 구조물을 갖는 기판 상에 콘택홀을 갖는 절연막 패턴을 형성하는 단계;

상기 콘택홀의 측벽과 저면 및 상기 절연막 패턴의 표면 상에 제1도전막을 연속적으로 형성하는 단계;

상기 절연막 패턴의 표면 상에 형성된 제1도전막을 제거하는 단계;

상기 절연막 패턴을 제거하여 상기 콘택홀의 측벽 및 저면에 형성된 제1도전막을 남김으로서 상기 제1도전막을 실린더 타입의 하부 전극으로 형성하는 단계;

상기 하부 전극의 상변이가 발생하지 않는 온도 조건에서 상기 하부 전극 상에 산화를 방지하기 위한 반응 방지막을 형성하는 단계;

상기 반응 방지막 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 상부 전극으로서 제2도전막을 형성하는 단계를 포함하는 커패시터의 형성 방법.

【청구항 12】

제11항에 있어서, 상기 제1도전막은 비정질 실리콘막, 다결정 실리콘막 또는 이들의 복합막인 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 13】

제11항에 있어서, 상기 반응 방지막은 실리콘 질화막으로서, 600℃ 이하의 온도 조건을 갖는 플라즈마 질화법, 600℃ 이하의 온도 조건을 갖는 화학 기상 증착 또는 600℃ 이하의 온도 조건을 갖는 원자층 적층에 의해 형성되는 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 14】

제11항에 있어서, 상기 유전막은 TiO_2 막, Al_2O_3 막, Y_2O_3 막, ZrO_2 막, HfO_2 막, BaTiO_3 막, SrTiO_3 막 및 이들의 복합막으로 구성되는 그룹으로부터 선택되는 어느 하나인 것을 특징으로 하는 커패시터 형성 방법.

【청구항 15】

제14항에 있어서, 상기 유전막은 600℃ 이하의 온도 조건을 갖는 화학 기상 증착 또는 600℃ 이하의 온도 조건을 갖는 원자층 적층에 의해 형성되는 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 16】

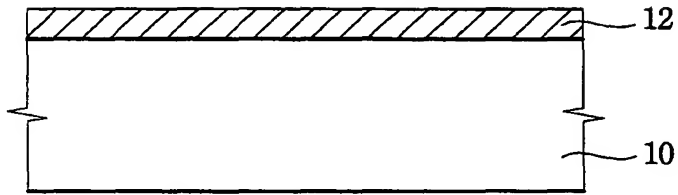
제11항에 있어서, 상기 제2도전막은 비정질 실리콘막, 다결정 실리콘막, Ru막, Pt막, Ir막, TiN막, TaN막, WN막 또는 이들의 복합막인 것을 특징으로 하는 커패시터의 형성 방법.

【청구항 17】

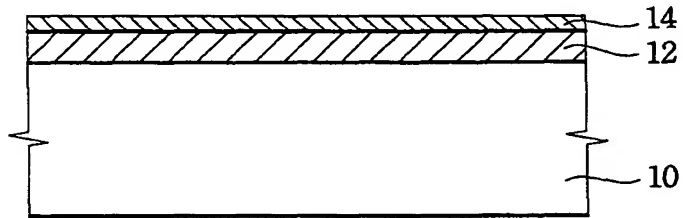
제11항에 있어서, 상기 하부 구조물은 상기 하부 전극과 연결되는 콘택 플러그를 포함하는 것을 특징으로 하는 커패시터의 형성 방법.

【도면】

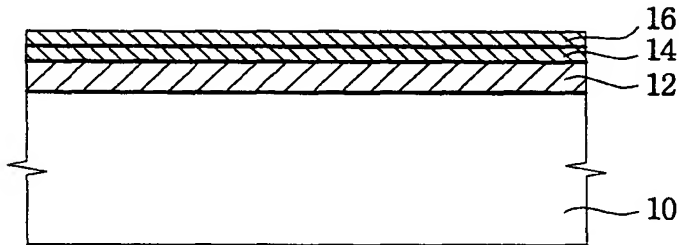
【도 1a】



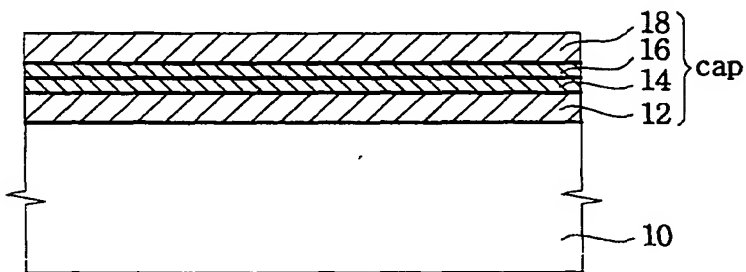
【도 1b】



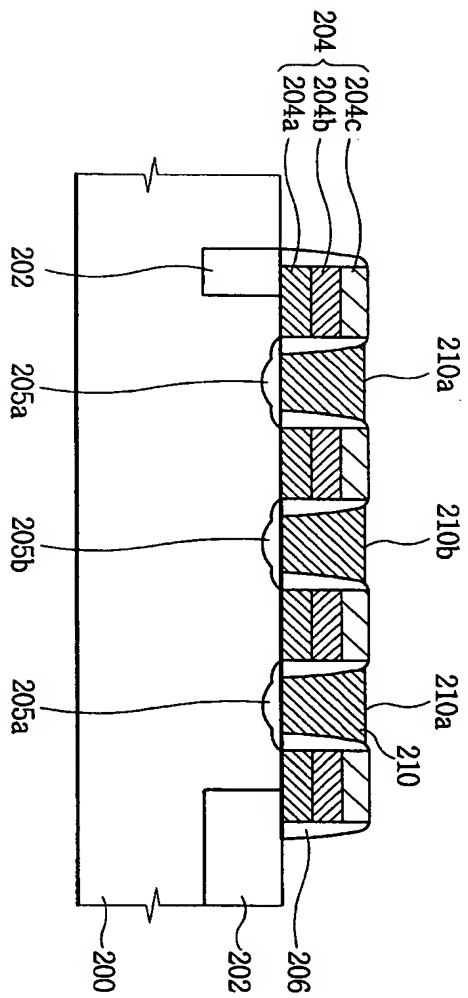
【도 1c】



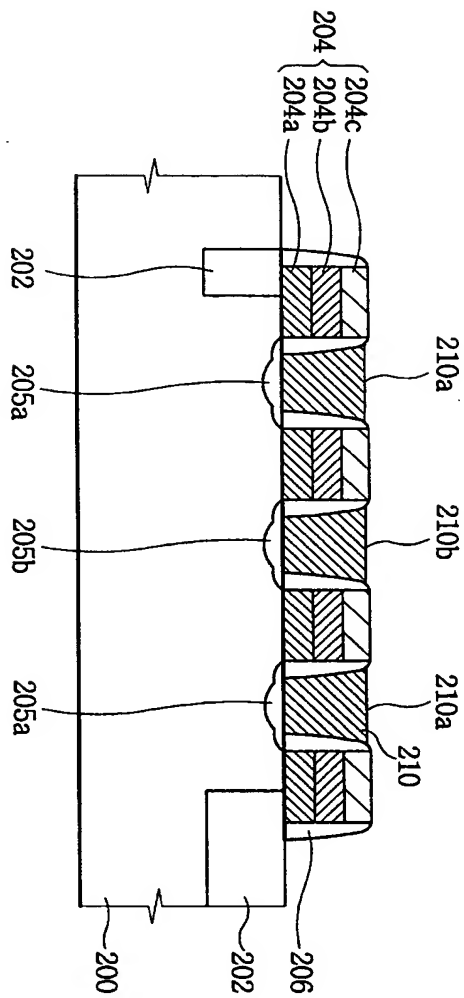
【도 1d】



【도 2a】

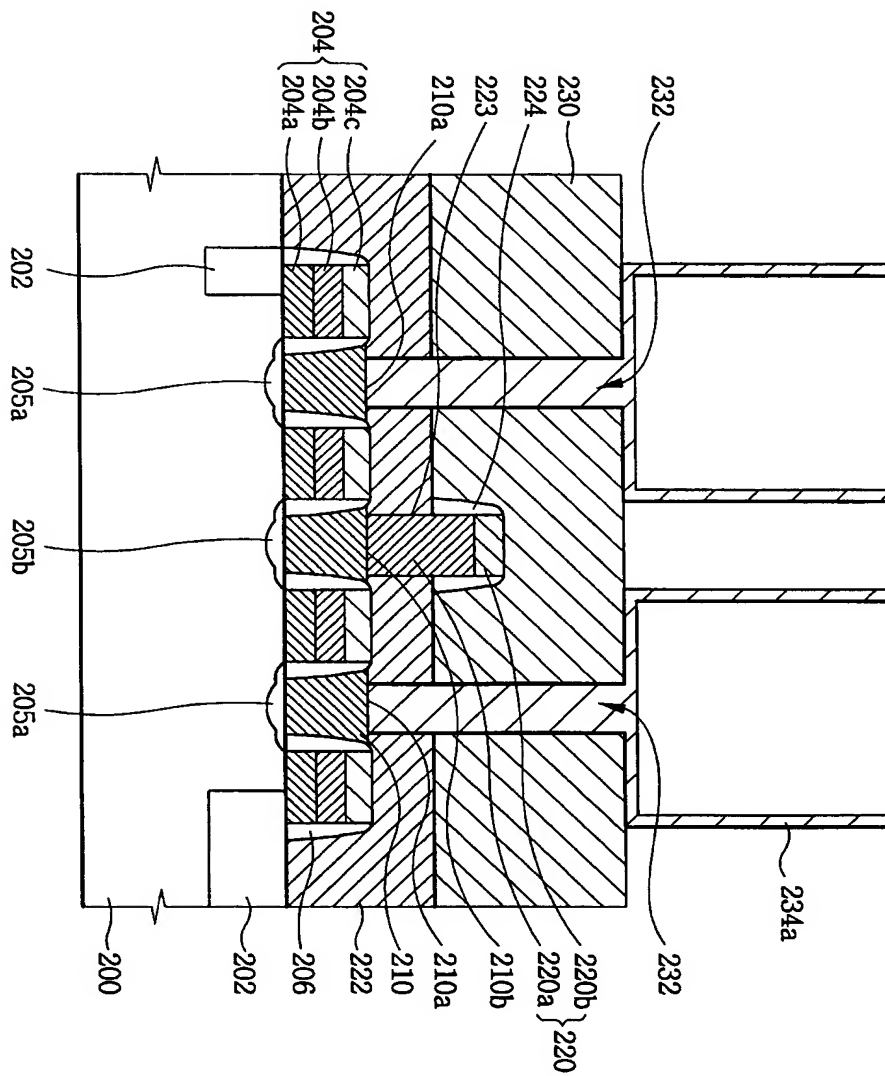


【도 2b】



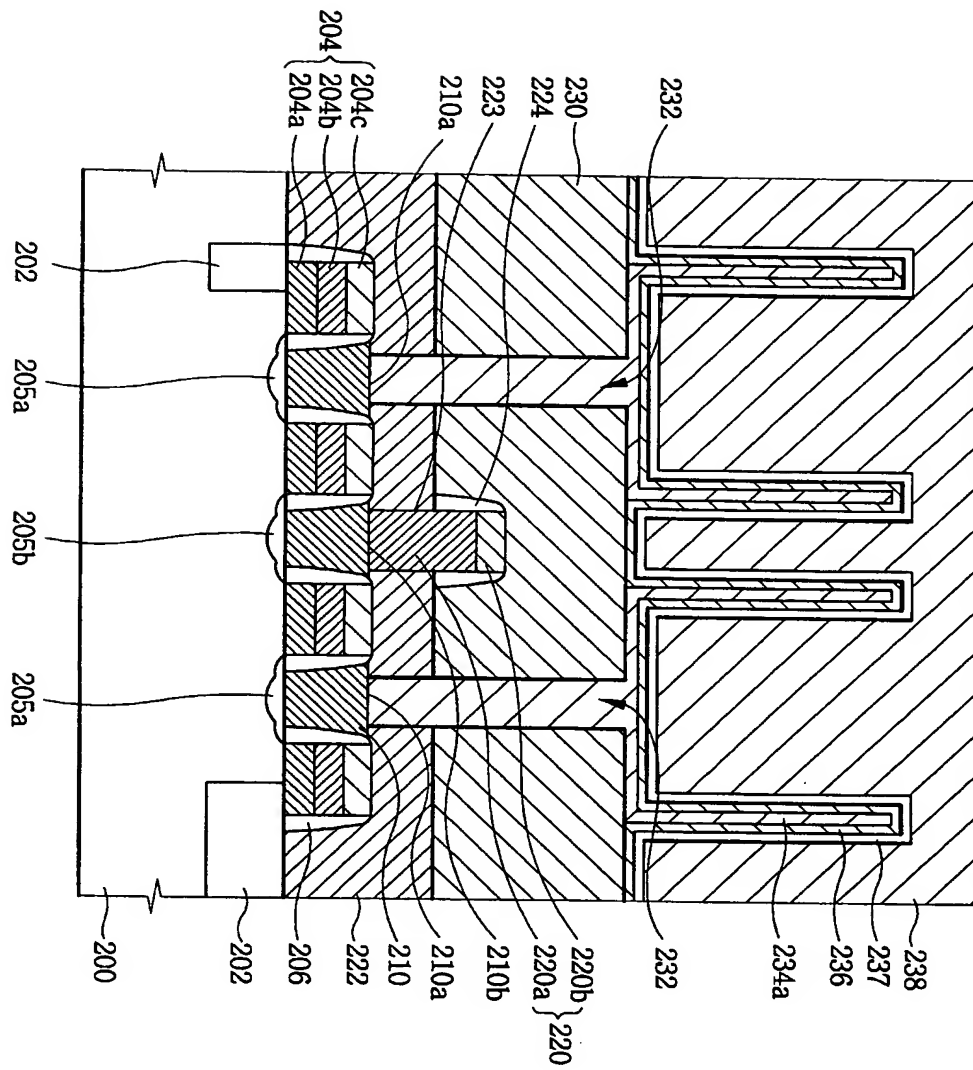
[illegible]

【도 2e】



[illegible]

【도 2g】





【도 3】

